

PROJEKTOVANJE ZA IDDQ TESTIRANJE U SISTEMIMA NA ČIPU

Miljana Sokolović, Dejan Stevanović, Predrag Petković, *Elektronski Fakultet, Niš, miljana@elfak.ni.ac.yu*

Sadržaj – U ovom radu biće predstavljen jedan od načina projektovanja za testabilnost u sistemima na čipu (*Systems on Chip – SoC*) zasnovan na merenju mirne struje - *IDDQ*. Predstavljeno rešenje biće ilustrovano na testiranju nekoliko digitalnih blokova trofaznog kola za merenje potrošnje električne energije, realizovanog u *CMOS035* tehnologiji. Rezultati simulacije dobijeni korišćenjem *Cadense Virtuoso alata*, pokazuju dobre performanse predloženog rešenja.

1. UVOD

IDDQ testiranje je pristup koji se koristi u elektronici za testiranje CMOS integrisanih kola. Nasuprot drugih tehnika testiranja koje mere naponske nivoe u kolu, ovaj pristup se zasniva na merenju električne struje kola. Generalno, kroz CMOS kola teče struja napajanja u prelaznom režimu kada se menja logička vrednost signala na izlazu (prelaz sa "0" na "1" i obrnuto) [1]. *IDQQ* testiranje je zasnovano na sledećim činjenicama. Kod CMOS IC čiji je drejn na niskom logičkom nivou struja napajanja manjih kola u stanju mirovanja obično je reda fA, dok se za kompleksna kola ona kreće do pA. Većina defekta koji su nastali u toku proizvodnje ili kao greške učinjene tokom projektovanja izazivaju porast struje napajanja i do nekoliko puta u odnosu na njenu nominalnu vrednost.

Svaki blok ili potkolo u IC, mora bit vezano za napajanje, preko pinova koji su dostupani za posmatranje i merenje. Zbog ovoga *IDDQ* testiranje ima svojstvo automatske opservabilnosti. Detekcija bilo koje nepravilnosti u unutrašnosti kola ne zahteva propagaciju defekta i njegovog efekta do izlaza, već se on otkriva merenjem struje napajanja u stanju mirovanja.

Metod projektovanja za testabilnost o kome će ovde biti reči predstavlja dodatak drugim metodima koje se koriste za detekciju neispravnosti rada kola. Testni metodi zasnovani na merenju naponskih nivoe u logičkim kolima ne mogu da otkriju pojedine tipove defekata u kolima. Prednosti *IDDQ* testiranja ogledaju se u tome što je generisanje testa mnogo lakše upravo zbog garantovane automatske opservabilnosti [2]. Pinovi za napajanje su uvek dostupni za posmatranje [3]. Jedini zadatak generisanog testa je da aktivira defekt. *IDDQ* test može detektovati mnogo različitih vrsta defekta, koji ne mogu biti detektovani standardnim funkcionalnim ili strukturnim testom zasnovanim na stuck-at modelu defekta. *IDDQ* test omogućava detekciju sledećih tipova defekata: kratki spojevi (bridging faults), defekt oksidacije gejta, curenje na gejtu, kratak spoj između bilo koje 2 elektrode MOS tranzistora, parametarski (meki) defekti – koji nemaju uticaj na logičku funkciju kola, ali utiču na pouzdanost, kao i defekte tipa prekid tj. stuck-at open. Ipak *IDDQ* testiranje ima i svoje nedostatke koji se moraju uzeti u razmatranje pre primene ovog testa [4]. Prvo, s obzirom da je nominalna struja napajanja u stanju mirovanja veoma mala, to znači da njeno merenje zahteva veliku preciznost.

Drugo, obično je *IDDQ* test namenjen za statička kola, dok se kod dinamičkih kola, kod kola sa pull-up i pull-down otpornicima, i kod kola čija se brzina optimizuje, ovaj test ne preporučuje. Ipak oba nedostatka mogu biti eliminisana, ako se na osnovu *IDDQ* testiranja razvije nova tehnika projektovanja za testabilnost što je intencija ovog rada.

2. OSNOVNI PRINCIPI IDDQ TESTIRANJA

IDDQ testiranje digitalnih kola može se obaviti na tri različita načina. Prvi način podrazumeva merenje *IDDQ* za svaki testni vektor. Ovaj način testiranja je veoma koristan prilikom testiranja prototipova. Drugi način *IDDQ* testiranja je selektivno merenje struje *IDDQ*. Tada se ova struja meri samo za određene testne vektore. Merenja koja su opisana u ovom radu obavljana su za određene testne vektore. Treći način je dodatno *IDDQ* testiranje. U ovom slučaju razvijaju se posebni (dodatni) testni signali koji su isključivo namenjeni *IDDQ* testiranju. Ovo testiranje se obavlja nakon funkcionalnog testiranja.

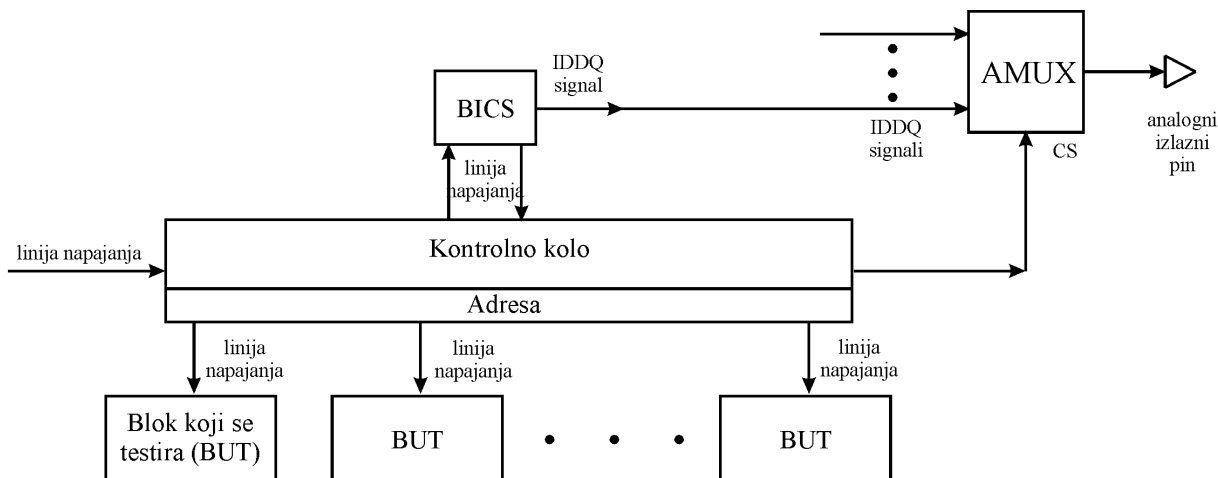
Kao što je ranije pomenuto, kod CMOS integrisanih kola nema proticanja struje od napajanja (*VDD*) prema masi (*GND*) kada je tranzistor u stanju mirovanja, odnosno kada on ne radi u prekidačkom režimu. Ukoliko kolo pokazuje značajno povećanje *IDDQ*, onda se smatra da je u kolu došlo do defekta. Potrebno je odrediti graničnu vrednost te struje koja će pokazati da li je kolo ispravno ili ne. Određivanje ovog praga je od velikog značaja, u smislu da loše određen prag vodi ka nerealnom broju ispravnih, odnosno neispravnih kola. Ovo dalje može loše procene vrednosti prinosa i profita.

U ovom radu biće ukazano na značaj merenja *IDDQ* struje u sistemima na čipu (*SoC*) prilikom testiranja i verifikacije prototipova. Da bi se takvo testiranje omogućilo, neophodno je utvrditi dobru strategiju projektovanja za testabilnost. Jedno od mogućih rešenja biće izloženo u nastavku.

3. REŠENJE ZA IDDQ TESTIRANJE

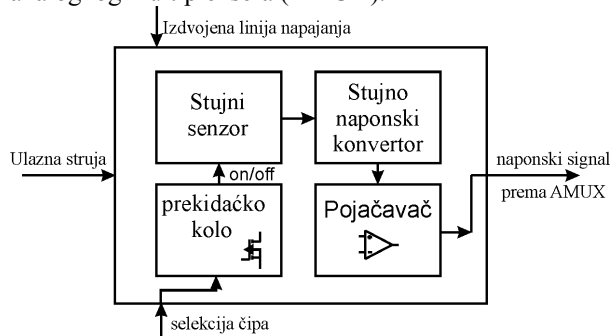
Na slici 1 prikazan je jedan od načina projektovanja za testabilnost primenom *IDDQ* testa. Osnovna ideja je implementacija *IDDQ* testa unutar određenih blokova *SoC*-a. Blokovi koji se testiraju na slici 1 označeni su sa *BUT* (*Block Under Test*). Kao što je prikazano na slici, testno/merno kolo se sastoji od tri bloka: senzora za merenje struje *BICS* (*Built-In Current Sensor*), analognog multipleksera *AMUX* i bloka za kontrolu testiranja. Svaki *BUT* je povezan preko linije za napajanje za *BISC*. *BISC* ne bi smeo da ima uticaj na funkcionisanje *BUT*-a, kako u toku testiranja tako i u normalnom režimu rada.

Na slici 2 prikazana je unutrašnja struktura *BICS* kola. Ovo kolo se sastoji od strujnog senzora, prekidačkog kola, konvertora struje u napon i pojačavača.



Slika 1. Projektovanje za testabilnost koje omogućava IDDQ testiranje

Strujni senzor (npr. strujno ogledalo) meri struju, kada je čip selektovan. Zatim se struja konvertuje u ekvivalentni napon. Dobijeni napon se pojačava i šalje na izlazni pin kola preko analognog multipleksera (AMUX).



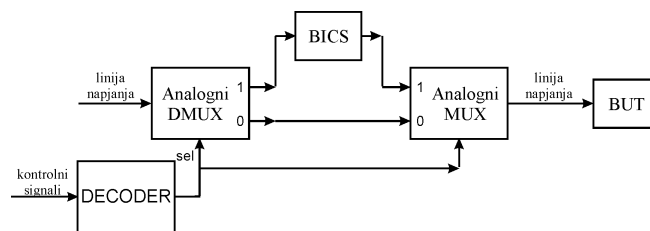
Slika 2. Unutrašnja struktura BICS

Posebnim prekidačkim kolom kontrolišu se sve prethodno navedene aktivnosti. Ovo kolo određuje koji će od blokova biti selektovan za testiranje. U jednom trenutku moguće je testiranje samo jednog bloka. Tokom testiranja prozivaju se blokovi jedan za drugim i posmatraju se njihove IDDQ struje. Selektovanjem bilo kog BUT-a za testiranje, aktivira se njegov BICS, pri čemu se na ulaz selekcije AMUX-a dovodi signal koji omogućava da se taj signal dovede do izlaznog pina integrisanog kola.

Da bi se ograničila površina dodatne testne logike na čipu, predlažemo da jedno BICS kolo bude namenjeno za merenje struja napajanja više BUT-a. Prekidačko kolo omogućava da linija za napajanje prvo prođe kroz BICS pa onda do bloka koji će se testirati. Izlazi nekoliko tako dobijenih sistema ulaze u jedan AMUX koji informaciju o IDDQ struji pojedinih blokova vodi na jedinstveni izlazni (testni) pin integrisanog kola. Kao što je ranije rečeno, jedno BICS kolo može da služi za merenje IDDQ struje više (u našem primeru osam) BUT kola.

Na slici 3 prikazana je blok šema kontrolnog kola, koje povezuje BICS i BUT. U normalnom režimu rada analogni demultiplekser i analogni multiplekser direktno vode napajanje

do BUT-a (signal selekcije je 0). Kada treba testirati neko kolo (BUT) tada napajanje tom kolu dovodimo preko BICS kola (signal selekcije je 1). Uz pomoć potpunog dekodera 3/8 određuje se koje će se kolo testirati.



Slika 3. Blok šema kontrolnog kola

Zbog mnogobrojnih ograničavajućih faktora, najkomplikovanije je u ovom sistemu projektovati BICS ćeliju. Najpre, senzor ne bi smeo da ima uticaj na rad BUT kola. Senzor treba da obezbedi normalno napajanje kola bez obzira da li se kolo testira ili radi u normalnom režimu. Varijacije napona digitalnog signala smanjene su zbog postojanja padova napona na Vdd i Gnd. Zatim, s obzirom da je struja IDDQ veoma mala, senzor mora biti veoma precizan. Treće, treba izbeći bilo koji negativni uticaj koji bi se javio između BICS i BUT ćelija, njihove linije za napajanje treba razdvojiti. Najzad, treba obezbediti dovoljno veliku frekvenciju za dobru detekciju strujnog pika tokom prelaznog perioda.

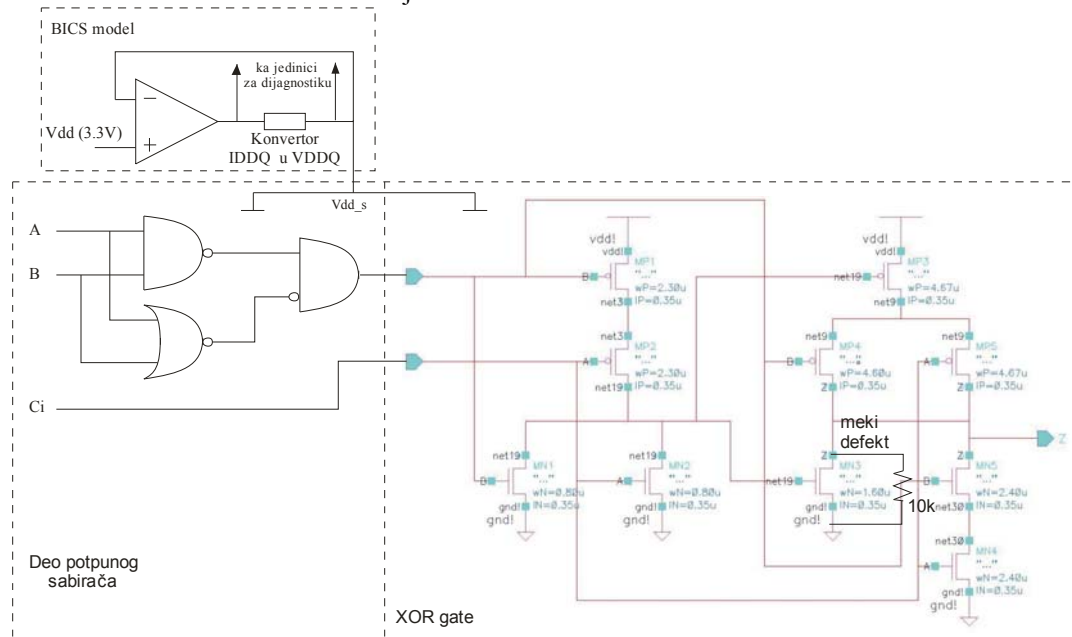
Postoji nekoliko načina realizacije ovog bloka. Najjednostavniji način realizacije BICS bloka zasnovan je na principu strujnog ogledala. Jedno od mogućih rešenja zasnovano je na upotrebi NPN tranzistora [5]. Problem s ovim rešenjem je to što je veoma teško realizovati NPN tranzistor u standardnoj CMOS tehnologiji. Takođe oni imaju uzan frekvencijski opseg koji u merenja unosi ograničenja. Bolje rešenje dato je u [6]. Ovo rešenje je zasnovano na korišćenju CCII+ struktura, mnogo je tačnije i ima širi opseg rada. Dalja poboljšanja BICS kola mogu se naći u [4], [7] i [8].

Predloženi metod detekcije defekata u SoC, ima takođe i značajne dijagnostičke sposobnosti. Veoma lako se može

proširirti na jedno DFD (Design for Diagnostics) rešenje dodavanjem bloka za akviziciju i dijagnostiku van SoC. Interesantno i efikasno rešenje koje omogućava dijagnostiku defekata zasniava se na korišćenju rekonfigurabilnih neuronskih mreža. Veštačke neuronske mreže mogu biti naučene da prepoznaju pogrešno ponašanje kola, da detektuju mesto pojavljivanja te greške kao i uzrok koji je doveo do njenog pojavljivanja. Mreža se realizuje na osnovu dobijenog rečnika defekata i to softverski ili hardverski. Detaljnija objašnjenja ovih rešenja mogu se naći u [9], [10], i [11]. Rekonfigurabilne neuronske mreže omogućavaju korišćenje jedne mreže za testiranje više blokova tako što se težinski koeficijenti mreže

mogu menjati u zavisnosti od toga koji se blok testira, tj. prema adresi bloka koji se testira.

Projektovanje za testabilnost korišćenjem IDDQ testiranja po njegovoj strukturi je veoma slično Boundary scan (BS) konceptu [12]. Razlika je samo u BICS-kolu, i kolu za kontrolu testiranja digitalne SoC komponente [13]. Ova dva rešenja mogu biti lako spojena u jedinstveno testno okruženje. IDDQ testiranje počinje primenom ulaznog testnog vektora u BS ćelijama koje su povezane sa ulazima digitalnog bloka. Istovremeno BICS kolo meri struju kroz linije napajanja i šalje rezultate jedinici za dijagnostiku po prestanku prelaznih režima u kolu.



Slika 4. Testiranje kola

4. REZULTATI SIMULACIJE

Predloženo testno rešenje verifikovano je korišćenjem Cadence Virtuoso alata. Na slici 4 prikazano je kolo potpunog sabirača kao i blok koji se testira. Strujni senzor se sastoji od operacionog pojačavača i otpornika. Naponski ekvivalent struje napajanja prosleđuje se van IC-a. Kolo je simulirano dva puta: jednom u ispravnom stanju, a drugi put sa namerno ubačenim mekim, odnosno parametarskim defektom. Defekt curenja simuliran je paralelnim vezivanjem otpornika sa tranzistorom MN3. U konkretnom slučaju BUT predstavlja kolo potpunog sabirača. Simulacija daje odziv na sve moguće kombinacije ulaznih signala.

Na slici 5 prikazani su rezultati simulacije ispravnog kola. Grafici dobijenih ulaznih i izlaznih signala dati su na slici 5a, dok su na slici 5b prikazani napon Vdd i naponski ekvivalent struje IDDQ, respektivno.

Treba primetiti da maksimalno odstupanje napona napajanja ne prelazi 7.5% od njegove nominalne vrednosti (3.3V). Maksimalna vrednost signala koji se vodi do izlaza čipa, i sa kojim je moguće raditi dijagnostiku iznosi 20mV što je veličina napona koja je dovoljna za dalje procesiranje bez dodatnog pojačavanja.

Kada u kolu postoji defekat, pri čemu je pobuda ista kao i u pretnodnom slučaju, na izlaznom portu dobiće se odziv kola identičan onom bez defekata, (kao što je onaj na slici 5a). Jedina razlika biće u naponu napajanja i struje IDDQ. Na slici 6 prikazani su talasni oblici napona na izlazu kola koje se testira, napona napajanja, i naponskog ekvivalenta struje IDDQ. Ukoliko se posmatraju samo talasni oblici napona na izlazu kola, ovaj defekat biće maskiran i neprepoznatljiv bilo kom narednom kolu i nije ga moguće kasnije detektovati standardnim testovima. Vrednosti ovih napona u potpunosti se nalaze u opsezima koji odgovaraju ispravnom kolu. Na osnovu posmatranja IDDQ struje jasno se može uočiti razliku između ispravnog i neispravnog kola.

Zbog curenja nastalog usled defekta, vrednost napona ekvivalentnog IDDQ struji je za 5mV (25% od njegove maksimalne vrednosti) veći nego kada u kolu nema defekta. Ova vrednost je dovoljna da bi dijagnostička jedinica jasno mogla da utvrdi postojanje defekta u kolu. To znači da bi prilikom testiranja bilo dovoljno proveriti da li dobijena srednja vrednost IDDQ struje odgovara ili ne odgovara onoj vrednosti napona izmerenoj u kolu bez defekata.

Ovim se nedvosmisleno potvrđuje da je predloženi metod efikasan za detekciju ili dijagnostiku kako mekih tako i ostalih defekata koji su maskirani za standardne BS tehnike.

ZAHVALNOST

Rezultati prikazani u ovom radu ostvareni su u okviru projekta TR 6108.B čiju je realizaciju finansiralo Ministarstvo nauke Republike Srbije.

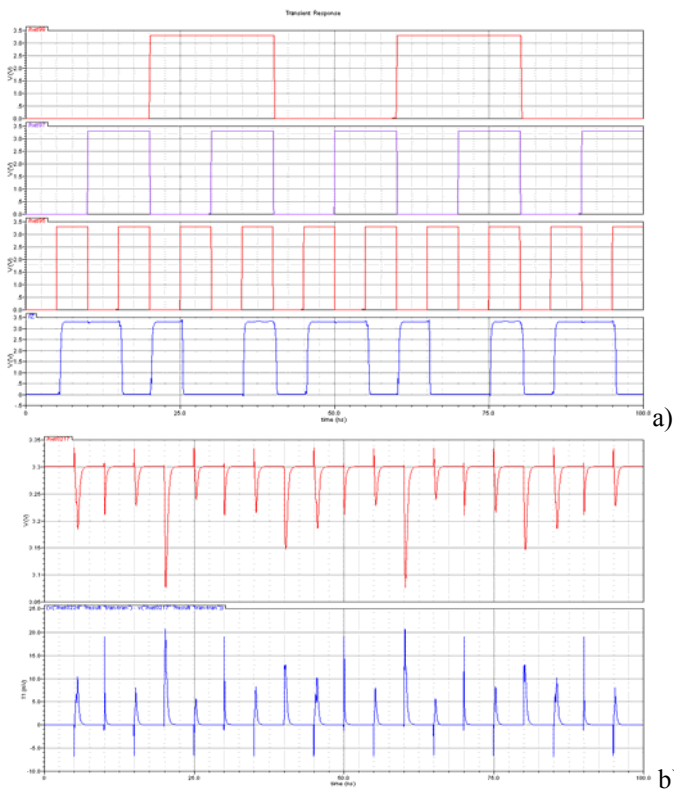
LITERATURA

- [1] V. Litovski: "Projektovanje elektronskih kola", DGIP Nova Jugoslavija, Vranje, 2000.
- [2] S. Janković, D. Milovanović, V. Panić: "IDDQ Test Generation for BiCMOS VLSI Circuit, *Proc. of the 18th International Spring Seminar on Semiconductor and Hybrid Technologies*, 1996, Sozopol, Bulgaria, Vol. 18, No. 1. pp. 194-301.
- [3] V. Litovski, D. Milovanović: "IDDQ Versus VDDT Testing – A comparative Study", *Proc. of the Electrical Engineering and Electronics EE'98*, Gabrovo, Bulgaria, December 1998, pp. 131-135.
- [4] M. Ali, N. Khamis: "Design of a Current Sensor for IDDQ Testing of CMOS IC", *American Journal of Applied Science*, 2005, Vol. 2, Issue 3, pp. 682-686.
- [5] A. Hatzopoulos, S.Siskos: "Design of a simple built-in current sensor for analog and mixed-signal testing", *Proc. of ECCTD'97 conference*, Budapest, September 1997, pp. 1424-1427.
- [6] V. Stopjakova, H. Manhaeve: "CCII+ Current Conveyor Based BIC Monitor for IDDQ Testing of Complex CMOS Circuits", *Proc. of European Design and Test Conference 97*, Paris, March 1997, pp. 266-270.
- [7] A. Srivastava, S. Aluri, A. Chamakura: "A simple built-in current sensor for IDDQ testing of CMOS data converters", *Integration, the VLSI journal, Elsevier*, 2005, Vol. 38, Issue 4, pp. 579-596.
- [8] J. Boem, S. Hong: "A CMOS Built-In Current Sensor for IDDQ Testing", *IEICE Transactions on Electronics*, Vol.E89-C, No. 6, June 2006. pp. 868-870.
- [9] M. Andrejević: "Electronic circuit diagnostics using ANNs", PhD Thesis, Niš, July 2006.
- [10] M. Andrejević, V. Litovski: "Fault Diagnosis in Digital Part of Sigma-Delta Converter", *Proc. of the Neurel conference 2006*, Belgrade, September 2006, pp. 177-180.
- [11] M. Andrejević, V. Petrović, D. Mirković, V. Litovski: "Delay Defects Diagnosis Using ANNs", *Proc. of the 50th ETRAN conference*, Belgrade, June 2006, pp. 27-30.
- [12] D. Maksimović, M. Sokolović: "Boundary Scan electronic circuit design", *Proc. of the 46th ETRAN conference*, Banja Vrućica, June 2002, pp. 82-85.
- [13] M. Sokolović, "DFT in an Application Specific Mixed-Signal ICs", MS Thesis, Niš, April 2005.

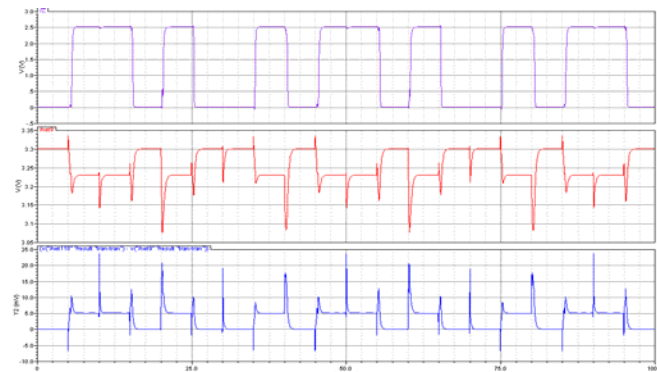
Abstract – One DFT solution for systems on chip, based on IDDQ measuring concept is presented in this paper. The solution is to be implemented in a tree-phase power meter IC. The simulation results obtained using Cadence Virtuoso show good performances of the solution.

DESIGN FOR TESTABILITY FOR SOC BASED ON IDDQ SCANNING

Miljana Sokolović, Dejan Stevanović, Predrag Petković



Slika 5. Rezultati simulacije ispravnog kola



Slika 6. Rezultati simulacije neispravnog kola

5. ZAKLJUČAK

U ovom radu predložen je mogući način integrisanja IDDQ testiranja u neku od testnih tehnika zasnovanih na skeniranju sistema na čipu (npr. Boundary Scan). Pristup se zasniva na multipleksiranom korišćenju BICS senzora što istovremeno doprinosi minimalnom povećanju površine čipa i povećanju efikasnosti testiranja. Posmatranjem naponskog signala ekvivalentnog struji napajanja IDDQ, moguća je detekcija mekih defekata u kolu. Pri tome, ukoliko se primenjuje sa Boundary Scan tehnikom, ovaj metod ima mogućnost detektovanja defekata koji se ne mogu otkriti posmatranjem naponskih nivoa signala u kolu. Konačno, metod se može unaprediti dodavanjem jedinice za dijagnostiku koji se nalazi van čipa. Metod je verifikovan simulacijama u Cadence Virtuoso okruženju.